

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月29日

出 願 番 号

Application Number:

特願2000-299549

出 願 人

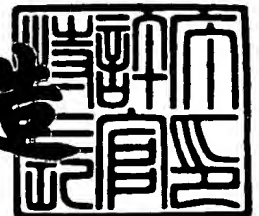
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084395

【書類名】 特許願

【整理番号】 00000553

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

 【氏名】 小山内 潤

【特許出願人】

 【識別番号】 000002325

 【氏名又は名称】 セイコーインスツルメンツ株式会社

 【代表者】 服部 純一

【代理人】

 【識別番号】 100096286

 【弁理士】

 【氏名又は名称】 林 敬之助

【手数料の表示】

 【予納台帳番号】 008246

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003012

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 基準電圧用半導体装置

【特許請求の範囲】

【請求項 1】 ゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスターのゲートとドレインに、ゲートとソースが短絡している一導電型のディプリーション型MOSトランジスターのゲートとソースを接続し、該接続点を出力ノードとした基準電圧回路において、前記一導電型のエンハンスメント型MOSトランジスターおよび前記一導電型のディプリーション型MOSトランジスターのゲート電極の極性が逆導電型であることを特徴とする半導体装置。

【請求項 2】 ゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスターのソースに、ゲートとソースが短絡している一導電型のディプリーション型MOSトランジスターのドレインを接続し、該接続点を出力ノードとした基準電圧回路において、前記一導電型のエンハンスメント型MOSトランジスターおよび前記一導電型のディプリーション型MOSトランジスターのゲート電極の極性が逆導電型であることを特徴とする半導体装置。

【請求項 3】 ゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスターのゲートとドレインに、ゲートが前記一導電型のエンハンスメント型MOSトランジスターのソースに短絡している一導電型のディプリーション型MOSトランジスターのソースを接続し、該接続点を出力ノードとした基準電圧回路において、前記一導電型のエンハンスメント型MOSトランジスターおよび前記一導電型のディプリーション型MOSトランジスターのゲート電極の極性が逆導電型であることを特徴とする半導体装置。

【請求項 4】 ゲートとソースが短絡している一導電型のディプリーション型MOSトランジスターのドレインに、ソースが電源に接続されている第一の逆導電型のエンハンスメント型MOSトランジスターのドレインとゲートを接続し、ソースが電源に接続されかつゲートが前記第一の逆導電型のエンハンスメント型MOSトランジスターと共通に接続された第二の逆導電型のエンハンスメント型MOSトランジスターのドレインに、ゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスターのゲートとドレインを接続し、該接続点を出力

ノードとした基準電圧回路において、前記一導電型のエンハンスメント型MOSトランジスタおよび前記一導電型のディプリーション型MOSトランジスタのゲート電極の極性が逆導電型であることを特徴とする半導体装置。

【請求項5】 ゲートとソースが短絡している第一の一導電型のディプリーション型MOSトランジスタのドレインに、ゲートとソースが短絡している第二の一導電型のディプリーション型MOSトランジスタのゲートとソースが接続され、該第二の一導電型のディプリーション型MOSトランジスタのドレインが電源に接続され、前記第一の一導電型のディプリーション型MOSトランジスタのソースにゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスタを接続し、該接続点を出力ノードとした基準電圧回路において、前記一導電型のエンハンスメント型MOSトランジスタおよび前記第一の一導電型のディプリーション型MOSトランジスタと前記第二の一導電型のディプリーション型MOSトランジスタのゲート電極の極性が逆導電型であることを特徴とする半導体装置。

【請求項6】 ゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスタのゲートとドレインに、ゲートが前記一導電型のエンハンスメント型MOSトランジスタのソースに短絡している第一の一導電型のディプリーション型MOSトランジスタのソースを接続し、該第一の一導電型のディプリーション型MOSトランジスタのドレインにゲートとソースが短絡している第二の一導電型のディプリーション型MOSトランジスタのゲートとソースが接続され、該第二の一導電型のディプリーション型MOSトランジスタのドレインが電源に接続され、前記一導電型のエンハンスメント型MOSトランジスタのドレインと前記第一の一導電型のディプリーション型MOSトランジスタのソースの接続点を出力ノードとした基準電圧回路において、前記一導電型のエンハンスメント型MOSトランジスタおよび前記第一の一導電型のディプリーション型MOSトランジスタと前記第二の一導電型のディプリーション型MOSトランジスタのゲート電極の極性が逆導電型であることを特徴とする半導体装置。

【請求項7】 前記一導電型のエンハンスメント型MOSトランジスタおよび前記一導電型のディプリーション型MOSトランジスタのゲートが多結晶シリ

コンからなることを特徴とする請求項 1、2、3、4、5、6 のいずれか一項に記載の半導体装置。

【請求項 8】 前一導電型のエンハンスメント型 MOS トランジスタおよび前記一導電型のディプリーション型 MOS トランジスタのゲートが多結晶シリコンと高融点金属シリサイドの積層構造からなることを特徴とする請求項 1、2、3、4、5、6 のいずれか一項に記載の半導体装置。

【請求項 9】 前記第一の逆導電型エンハンスメント型 MOS トランジスタと前記第二の逆導電型エンハンスメント型 MOS トランジスタのゲート電極の極性が逆導電型であることを特徴とする請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電圧検出器や電圧レギュレータなどの基準電圧回路を有する半導体装置に関する。

【0002】

【従来の技術】

図 9 に従来の半導体装置による基準電圧回路の模式的断面図を示し、図 3 にはその基準電圧回路の回路図を示す。本基準電圧回路は高電圧供給端子に印加される電圧に関わらず、出力端子からは低電圧供給端子の電位に対し常に一定の電圧を出力する回路である。

基準電圧回路はエンハンスメント型（以後 E 型と表記）の N チャネル MOS（以後 NMOS と表記）とディプリーション型（以後 D 型と表記）の NMOS の直列接続で構成されており、E 型 NMOS はゲートとドレインが短絡され、そのソースは低電圧供給端子に接続されており、D 型 NMOS はソースとゲートが結線され、そのドレインは高電圧供給端子に接続されている。E 型 NMOS のドレインと D 型 NMOS のソースが結線され、またそこには出力端子が設けられている。

【0003】

【発明が解決しようとする課題】

上記の従来の半導体装置による基準電圧回路において E 型 NMOS、D 型 NMOS 両方と

もそのゲート電極の極性は、図 9 に示すようにその製造の容易さと安定性から N+ 型の多結晶シリコンが用いられているが、この場合ゲートとウェルの仕事関数の関係から E 型は表面チャネルであるが、D 型が埋込みチャネルとなっている。基準電圧回路の重要な特性として温度変化に対する出力電圧の変化が小さくあることが挙げられるが、MOS のしきい値電圧と相互コンダクタンスの温度変化に対する変化の程度は表面チャネルと埋込みチャネルでは大きく異なるため、その結果として出力電圧の温度に対する変化を小さくすることが困難であるという問題を有している。

本発明は温度変化に対する出力電圧の変動が小さい基準電圧回路を提供することを目的とする。

【 0 0 0 4 】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

(1)

ゲートとドレインが短絡している一導電型のエンハンスメント型 MOS トランジスタのゲートとドレインに、ゲートとソースが短絡している一導電型のディプリーション型 MOS トランジスタのゲートとソースを接続し、該接続点を出力ノードとした基準電圧回路において、一導電型のエンハンスメント型 MOS トランジスタおよび一導電型のディプリーション型 MOS トランジスタのゲート電極の極性が逆導電型である半導体装置。

(2)

ゲートとドレインが短絡している一導電型のエンハンスメント型 MOS トランジスタのソースに、ゲートとソースが短絡している一導電型のディプリーション型 MOS トランジスタのドレインを接続し、該接続点を出力ノードとした基準電圧回路において、一導電型のエンハンスメント型 MOS トランジスタおよび一導電型のディプリーション型 MOS トランジスタのゲート電極の極性が逆導電型である半導体装置。

(3)

ゲートとドレインが短絡している一導電型のエンハンスメント型 MOS トランジスタ

ターのゲートとドレインに、ゲートが前記一導電型のエンハンスメント型MOSトランジスターのソースに短絡している一導電型のディプリーション型MOSトランジスターのソースを接続し、該接続点を出力ノードとした基準電圧回路において、一導電型のエンハンスメント型MOSトランジスターおよび一導電型のディプリーション型MOSトランジスターのゲート電極の極性が逆導電型である半導体装置。

(4)

ゲートとソースが短絡している一導電型のディプリーション型MOSトランジスターのドレインに、ソースが電源に接続されている第一の逆導電型のエンハンスメント型MOSトランジスターのドレインとゲートを接続し、ソースが電源に接続されかつゲートが第一の逆導電型のエンハンスメント型MOSトランジスターと共通に接続された第二の逆導電型のエンハンスメント型MOSトランジスターのドレインに、ゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスターのゲートとドレインを接続し、該接続点を出力ノードとした基準電圧回路において、一導電型のエンハンスメント型MOSトランジスターおよび一導電型のディプリーション型MOSトランジスターのゲート電極の極性が逆導電型である半導体装置。

(5)

ゲートとソースが短絡している第一の一導電型のディプリーション型MOSトランジスターのドレインに、ゲートとソースが短絡している第二の一導電型のディプリーション型MOSトランジスターのゲートとソースが接続され、第二の一導電型のディプリーション型MOSトランジスターのドレインが電源に接続され、第一の一導電型のディプリーション型MOSトランジスターのソースにゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスターを接続し、該接続点を出力ノードとした基準電圧回路において、一導電型のエンハンスメント型MOSトランジスターおよび第一の一導電型のディプリーション型MOSトランジスターと第二の一導電型のディプリーション型MOSトランジスターのゲート電極の極性が逆導電型である半導体装置。

(6)

ゲートとドレインが短絡している一導電型のエンハンスメント型MOSトランジスターのゲートとドレインに、ゲートが一導電型のエンハンスメント型MOSトランジスターのソースに短絡している第一の一導電型のディプリーション型MOSトランジスターのソースを接続し、第一の一導電型のディプリーション型MOSトランジスターのドレインにゲートとソースが短絡している第二の一導電型のディプリーション型MOSトランジスターのゲートとソースが接続され、第二の一導電型のディプリーション型MOSトランジスターのドレインが電源に接続され、一導電型のエンハンスメント型MOSトランジスターのドレインと第一の一導電型のディプリーション型MOSトランジスターのソースの接続点を出力ノードとした基準電圧回路において、一導電型のエンハンスメント型MOSトランジスターおよび第一の一導電型のディプリーション型MOSトランジスターと第二の一導電型のディプリーション型MOSトランジスターのゲート電極の極性が逆導電型である半導体装置。

(7)

一導電型のエンハンスメント型MOSトランジスターおよび一導電型のディプリーション型MOSトランジスターのゲートが多結晶シリコンからなる半導体装置。

(8)

一導電型のエンハンスメント型MOSトランジスターおよび一導電型のディプリーション型MOSトランジスターのゲートが多結晶シリコンと高融点金属シリサイドの積層構造からなる半導体装置。

(9)

第一の逆導電型エンハンスメント型MOSトランジスターと第二の逆導電型エンハンスメント型MOSトランジスターのゲート電極の極性が逆導電型である半導体装置。

【 0 0 0 5 】

【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。

図 1 は本発明の半導体装置による基準電圧回路の一実施例を示す模式的断面図であり、本実施例ではNMOSのE型とD型の直列接続による図 3 に示す基準電圧回路の

例を示している。

【 0 0 0 6 】

N型半導体基板106を用い、バックバイアス効果を避けるためE型のNMOS 101とD型NMOS 102をそれぞれ別のP型ウェル107、112中に設けている。各々のMOSはソース108、113、ドレイン109、114、ゲート酸化膜110、115及びゲートであるP+多結晶シリコン111、116から構成されている。

【 0 0 0 7 】

E型NMOS 101のドレイン109とゲートであるP+多結晶シリコン111は図には示していないが配線金属により短絡されており、さらにE型NMOS 101のソース108は、本実施例ではGND線を示している低電圧供給端子103に結線されている。

【 0 0 0 8 】

D型NMOS 102のソース113とゲートであるP+多結晶シリコン116は図には示していないが配線金属により短絡されており、さらにD型NMOS 102のドレイン114は高電圧供給端子104に結線されている。

【 0 0 0 9 】

本発明においてゲートはE型NMOS 101、D型NMOS 102ともにP+多結晶シリコンを用いているが、NMOSのゲートとして逆導電型であるP型を用いると、NMOSのしきい値電圧を所定値に設定するためのイオン注入法による所謂チャネルドーピングをまったく行わない場合、ゲート酸化膜厚やPウェルの濃度にもよるが、しきい値電圧は通常1.0V以上となる。E型NMOSのしきい値電圧としては0.7V程度が使われる場合が多いが、このしきい値電圧に設定するために、P型ゲートを用いたNMOSにおいては、カウンタードーパントであるリンや砒素をチャネルドーピング法により半導体中に導入する。このようにするとMOSトランジスタのチャネルは最も濃度の低い部分に形成され、E型NMOS 101は埋込みチャネルとなる。またD型NMOSのしきい値電圧は通常-0.3V程度が用いられるが、この場合もこのしきい値電圧に設定するためにカウンタードーパントであるリンや砒素をチャネルドーピングするためD型NMOS 102も埋込みチャネルとなる。従ってP型のゲートとすることでE型NMOS、D型NMOS両方のNMOSともに埋込みチャネルとなる。

【 0 0 1 0 】

このようにすると従来法の構成であったD型NMOSが埋込みチャネルでE型NMOSが表面チャネルの場合に比べ、E型NMOS、D型NMOSともに埋込みチャネルであるため、各々のMOSのしきい値電圧や相互コンダクタンスの温度に対する変化の程度を揃えることができ、結果として基準電圧回路の温度特性をフラットにすることが可能となるのである。

【0011】

図2は本発明の半導体装置による基準電圧回路の別の実施例を示す模式的断面図である。

【0012】

ゲート電極の低抵抗化のために、タングステンシリサイドやモリブデンシリサイドなどの高融点金属シリサイドと多結晶シリコンの積層構造である所謂ポリサイド構造をゲートをしている。

【0013】

ゲート電極下層の多結晶シリコンをP+とすることで、図1で説明した内容と同様に温度特性のフラットな基準電圧回路となる。さらにゲート電極が低抵抗となる分、図2に示す実施例の方が高速性の点で高いパフォーマンスの集積回路を実現できる。

【0014】

本発明は図3に示した基準電圧回路の例のほか、図4示す高電圧供給端子の電位に対し定電圧を出力する基準電圧回路や図5に示す低電圧出力に適した基準電圧回路、さらに図6に示すP型半導体基板を用いる場合にバックバイアス効果を避ける目的のため使われる基準電圧回路に用いても同様な効果が得られる。

【0015】

図6に示す回路例においては負荷素子としてE型PMOSが用いられるが、このPMOSのゲート電極をNMOSのゲート電極と同じくP+型とすることでPMOSは表面チャネルとなり、埋込みチャネル型に比べしきい値を低く設定してもPMOSのリーク電流を抑えることが可能であり、低電圧動作低消費電力である基準電圧回路を提供することが可能となる。付け加えてNMOS、PMOSともにゲートをP+型とすることで製造が簡便となり、コストを下げられるというメリットもある。

【 0 0 1 6 】

さらに本発明は図 7 および図 8 に示すような高電圧供給端子に重畳するノイズの影響を受けず、安定して基準電圧を出力する回路において、E 型 NMOS および 2 つの D 型 NMOS のゲート電極を P 型とすることによっても同様な効果が得られる。

【 0 0 1 7 】

以上本発明の実施の形態を E 型 NMOS、D 型 NMOS を用いて説明したが、極性を逆にして N+ 型のゲートからなる E 型 PMOS、D 型 PMOS を用いて基準電圧回路を構成しても NMOS と同様に温度特性が良好な基準電圧回路が得られる。

【 0 0 1 8 】

また本発明の実施の形態ではバックバイアス効果を避ける構造を用いて説明を行ったが、E 型 MOS トランジスター、D 型 MOS トランジスター両方のバックバイアスを共通としてバックバイアスが印加される構成の基準電圧回路に用いても温度特性のフラットである基準電圧回路が実現可能であることは言うまでもない。

【 0 0 1 9 】

【発明の効果】

上述したように、本発明は E 型 MOS と D 型 MOS を構成要素として含む基準電圧回路において、E 型 MOS および D 型 MOS 両方ともにチャネルの極性とは逆の導電型のゲート電極とすること、即ち異極ゲート構造とすることで E 型 MOS、D 型 MOS 両方ともに埋込みチャネル型の MOS として、それらの MOS のしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることで、温度変化に対し出力電圧変化の小さい半導体基準電圧回路を提供することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の半導体装置による基準電圧回路の一実施例を示す模式的断面図。

【図 2】

本発明の半導体装置による基準電圧回路の別の実施例を示す模式的断面図。

【図 3】

半導体装置による基準電圧回路例。

【図 4】

半導体装置による基準電圧回路例。

【図 5】

半導体装置による基準電圧回路例。

【図 6】

半導体装置による基準電圧回路例。

【図 7】

半導体装置による基準電圧回路例。

【図 8】

半導体装置による基準電圧回路例。

【図 9】

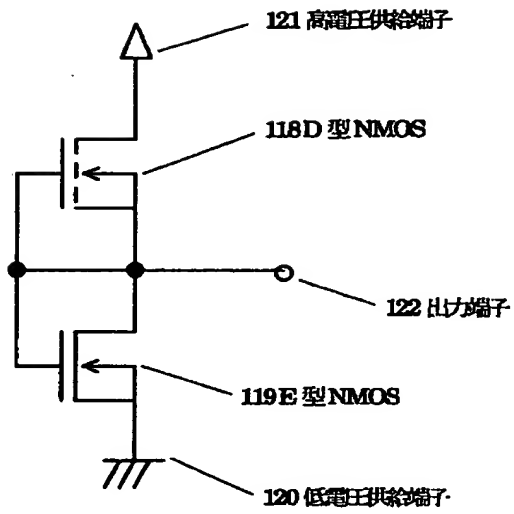
従来の半導体装置による基準電圧発生回路の模式的断面図。

【符号の説明】

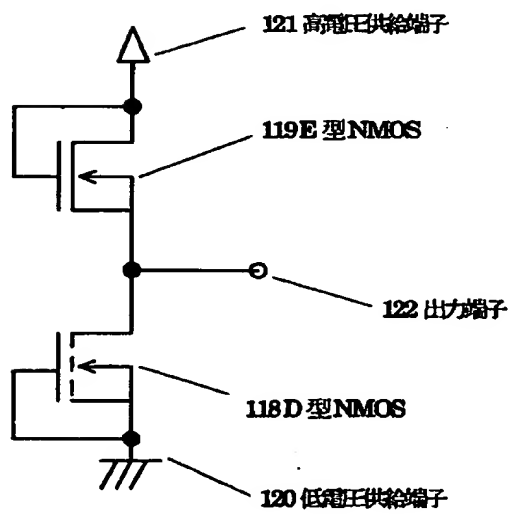
- 1 0 1、2 0 1 E 型 NMOS
- 1 0 2、2 0 2 D 型 NMOS
- 1 0 3、2 0 3 低電圧供給端子
- 1 0 4、2 0 4 高電圧供給端子
- 1 0 5、2 0 5 出力端子
- 1 0 6、2 0 6 N 型半導体基板
- 1 0 7、2 0 7 P 型ウェル
- 1 0 8、2 0 8 ソース
- 1 0 9、2 0 9 ドレイン
- 1 1 0、2 1 0 ゲート酸化膜
- 1 1 1、 P+ 多結晶シリコン
- 1 1 2、2 1 2 P 型ウェル
- 1 1 3、2 1 3 ソース
- 1 1 4、2 1 4 ドレイン
- 1 1 5、2 1 5 ゲート酸化膜
- 1 1 6、 P+ 型多結晶シリコン
- 1 1 7、2 1 7 フィールド酸化膜

- 1 1 8、 D型NMOS
- 1 1 9、 E型NMOS
- 1 2 0、 低電圧供給端子
- 1 2 1、 高電圧供給端子
- 1 2 2、 出力端子
- 1 2 3、 高融点金属シリサイド
- 1 2 4、 高融点金属シリサイド
- 1 2 5、 PMOS
- 1 2 6、 D型NMOS
- 2 1 1、 N+多結晶シリコン
- 2 1 6、 N+多結晶シリコン

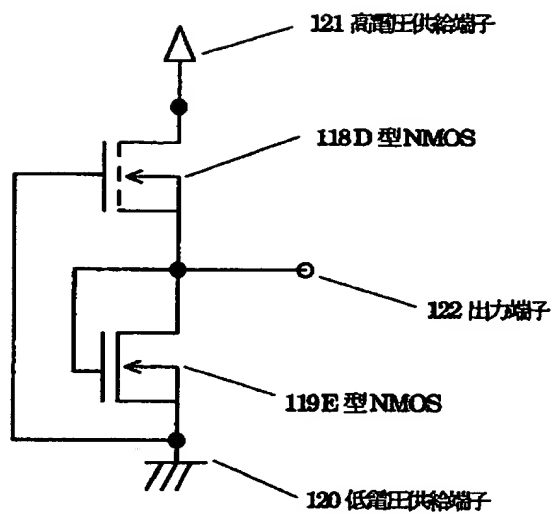
【図 3】



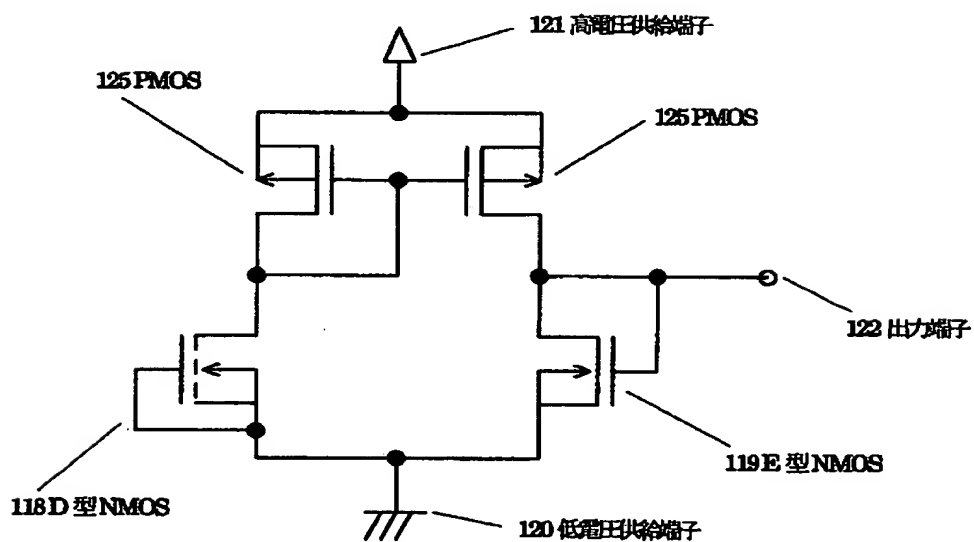
【図 4】



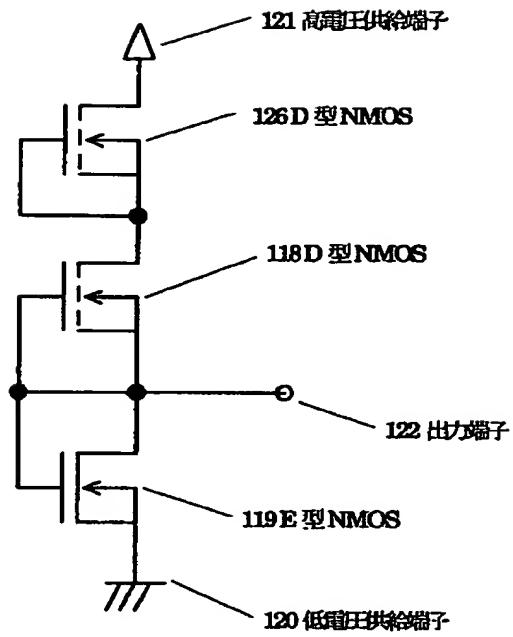
【図 5】



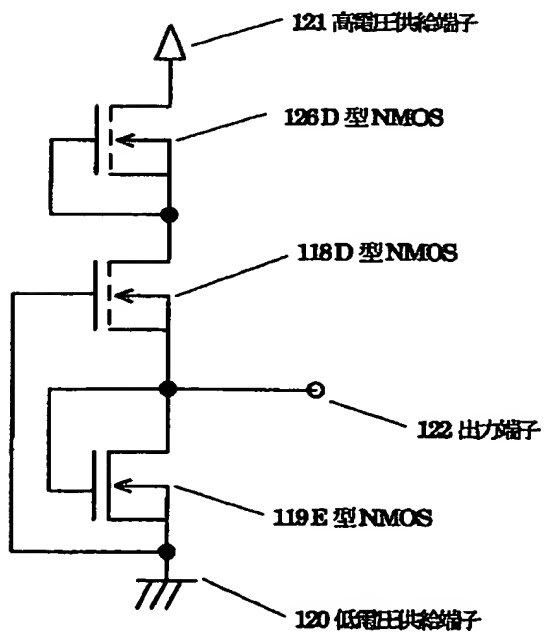
【図 6】



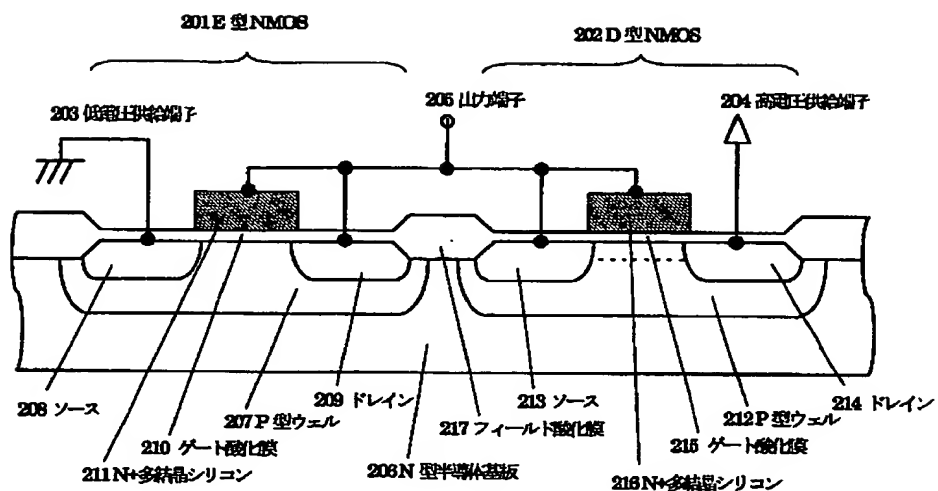
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 温度変化に対し、出力電圧変化の小さい半導体基準電圧回路の提供。

【解決手段】 E型MOSとD型MOSを構成要素として含む基準電圧回路において、E型MOSおよびD型MOS両方ともにチャネルの極性とは逆の導電型のゲート電極とすること、即ち異極ゲート構造とすることでE型MOS、D型MOS両方ともに埋込みチャネル型のMOSとして、それらのMOSのしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることで、温度変化に対し出力電圧変化の小さい半導体基準電圧回路を提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 2 5]

1. 変更年月日	1 9 9 7 年 7 月 2 3 日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬 1 丁目 8 番地
氏 名	セイコーインスツルメンツ株式会社